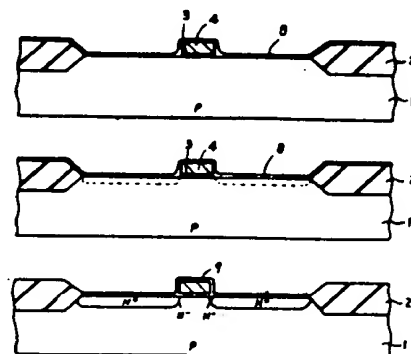


**(54) PRODUCTION OF SEMICONDUCTOR DEVICE**

(11) 57-42168 (A) (43) 9.3.1982 (19) JP  
 (21) Appl. No. 55-118587 (22) 28.8.1980  
 (71) FUJITSU K.K. (72) KATSUYUKI INAYOSHI(1)  
 (51) Int. Cl.<sup>3</sup>. H01L29/78, H01L21/265, H01L29/08

**PURPOSE:** To obtain high and low concentration regions by a one time implantation by implanting impurity ions through an electrode side after it is made gentle using a viscous fluid when the implantation is performed with a gate electrode as mask in the preparation of an insulation gate type semiconductor device.

**CONSTITUTION:** A thick field SiO<sub>2</sub> film 2 is formed about a p type Si substrate 1 and an SiO<sub>2</sub> film and a polycrystalline Si layer are applied in layers on an active region mounted thereof to be a gate insulation film and a gate electrode. Then, a gate insulation film 3 and a gate electrode 4 are formed on the central surface of the active region therefrom by photoetching. An alcohol solution of tetramethoxy silane is applied rotatively over the entire surface including those so as to be attached to the side wall of the electrode 4. Thereafter, the solution is converted to an SiO<sub>2</sub> film 8 by heat treatment and n type impurity ions are implanted therethrough to form an n<sup>+</sup> type region on both sides of the electrodes 4 in such a manner as to be n type immediately below the side wall thereof. The region is covered with an SiO<sub>2</sub> film 9.

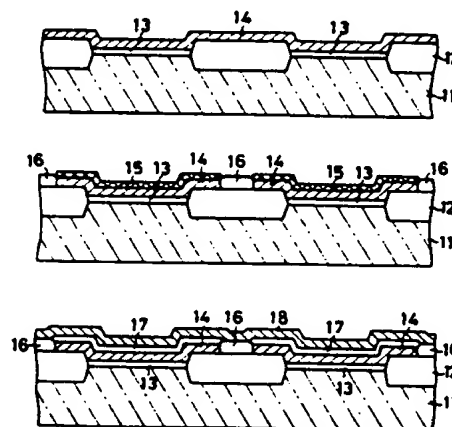


**(54) PRODUCTION OF SEMICONDUCTOR DEVICE**

(11) 57-42169 (A) (43) 9.3.1982 (19) JP  
 (21) Appl. No. 55-117613 (22) 26.8.1980  
 (71) TOKYO SHIBAURA DENKI K.K. (72) HIROSHI NOZAWA  
 (51) Int. Cl.<sup>3</sup>. H01L29/78, G11C11/40, H01L27/10

**PURPOSE:** To obtain a highly reliable semiconductor device by achieving separate insulation between floating gates adjacent to each other of a nonvolatile memory cell of a 2-layer polycrystalline Si structure through a selective oxidation, not by etching.

**CONSTITUTION:** A thick field oxide film 12 is formed on an n type Si substrate 11 by a selective oxidation and a thin gate oxide film 3 is applied on the substrate 11 surrounded thereby. Then, a first polycrystalline Si film 14 is grown in vapor phase over the entire surface and doped with an impurity to be an n<sup>+</sup> type layer, which is covered over the entire surface with an Si<sub>3</sub>N<sub>4</sub> film 15. After a hole is provided on the film 12, the film 14 in the hole is turned to an oxide film 16 by heat treatment. Thereafter, an oxide film 17 is applied over the entire surface having the film 16 exposed and a second polycrystalline Si film 18 is grown over the entire surface including it. Then, the films 14 and 18 are worked by a photoetching using the same mask to form a floating gate and a control gate. This enables separate insulation between two gates with the film 16 thereby preventing the overhanging of the gates.

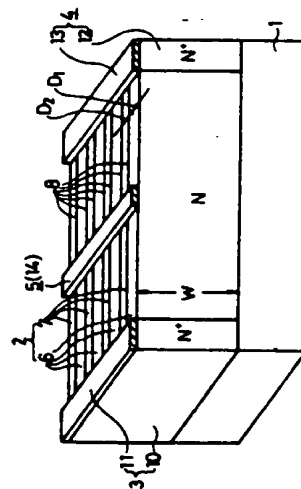


**(54) FIELD EFFECT TRANSISTOR**

(11) 57-42170 (A) (43) 9.3.1982 (19) JP  
 (21) Appl. No. 55-117477 (22) 26.8.1980  
 (71) NIPPON DENSHIN DENWA KOSHA (72) KAZUNORI YAMAMOTO(1)  
 (51) Int. Cl.<sup>3</sup>. H01L29/80, H01L29/12

**PURPOSE:** To obtain an FET with a high speed responsiveness, a large current layers and a high S/N ratio by laminating a plurality of semiconductor layers so alternately in such a manner as to be vertical thereto that the impurity concentration and the energy band gap are varied between the two.

**CONSTITUTION:** An n type semiconductor layer 2 is formed on a half-insulating substrate 1. Here, the layer 2 is made up of a lamination of several semiconductor layers 6 and 7 which are arranged alternately in close contact while vertical to the substrate 1. A hetero junction 8 is yielded between the layers 6 and 7. In this arrangement, the impurity concentration and the energy band gap of the layer 7 are both made larger than those of the layer 6. A gate electrode 5 comprising a metal conductive layer 14 is mounted at the center of the upper surface of these laminates at the right angle thereto. On one end of the laminate is packaged with an n<sup>+</sup> type layer and a metal conductive layer 11 is provided at the top thereof to make a source electrode 3. Likewise, the other end thereof is packaged with an n<sup>+</sup> type layer 12 and a conductor layer 13 is placed thereon to make a drain electrode 4.



## ⑫ 公開特許公報 (A)

昭57—42169

50 Int. Cl.<sup>3</sup>  
H 01 L 29/78  
G 11 C 11/40  
H 01 L 27/10

識別記号

1 0 1

庁内整理番号

7514—5F  
6549—5B

⑬ 公開 昭和57年(1982)3月9日

発明の数 1  
審査請求 未請求

(全 4 頁)

## 54 半導体装置の製造方法

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

⑭ 特 願 昭55—117613  
⑮ 出 願 昭55(1980)8月26日  
⑯ 発 明 者 野沢博

⑰ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑱ 代 理 人 弁理士 鈴江武彦 外2名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

一導電型半導体基板の主面の素子形成予定領域以外の部分にフィールド酸化膜を形成する工程と、前記素子形成予定領域内にゲート酸化膜を形成する工程と、前記フィールド酸化膜及びゲート酸化膜上に第1のポリシリコン膜を形成する工程と、前記フィールド酸化膜上の第1のポリシリコン膜の少なくともその一部を選択酸化し、第1のポリシリコン膜を分離絶縁する領域を形成する工程と、前記第1のポリシリコン膜上に絶縁膜を形成する工程と、前記絶縁膜上に第2のポリシリコン膜を形成する工程と、前記素子形成予定領域にソース、ドレイン領域をそれぞれ形成する工程とを具備したことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

この発明は2層ポリシリコン構造の半導体装

置の製造方法に関する。

従来、2層ポリシリコン構造を有する半導体装置、例えば紫外線照射によってプログラムされたデータを消去でき、書き込み可能な不揮発性メモリ (EPROM) セルの構造は例えば第1図(a)(b)に示すように構成される。同図において、1は半導体基板、2はフィールド酸化膜、3はゲート酸化膜、4は第1のポリシリコン膜 (フローティングゲート)、5はポリシリコン酸化膜、6は第2のポリシリコン膜 (コントロールゲート) である。この構造の製造方法を第2図(a)(b)に示す。まず第2図(a)に示すように半導体基板1上に選択酸化法によりフィールド酸化膜2を形成する。次に、ゲート酸化膜3を形成し、第1のポリシリコン膜4を気相成長させる。そして、このポリシリコン膜4に導電性を与えるために例えば燐Pの不純物を拡散した後、第2図(b)に示すように写真食刻工程 (PEP) により第1のポリシリコン膜4を加工する。次に、酸化を行い第1のポリシリコン膜4をポリシリコ

ン酸化膜 5 で覆い、その上に第 2 のポリシリコン膜 6 を形成する。そして、写真食刻工程により第 1 のポリシリコン膜 4 と第 2 のポリシリコン膜 6 を同一のマスクで加工し、コントロールゲートとフローティングゲートを形成し、第 1 図(b)に示す構造を得る。

ところで、このような構造においてはフィールド酸化膜 2 上のフローティングゲート端部(第 1 図(b)に④で示す)において、コントロールゲートのオーバー・ハングを生ずる。このオーバー・ハング部においては、第 3 図(a)に示すように第 2 のポリシリコン膜 6 の膜厚に差が生じるため、リアクティブ・イオン・エッチング(RIE)のような異方性エッチングを用いて第 2 のポリシリコン膜 6 を加工すると、第 3 図(b)に示すように肉厚の部分を完全にエッチングし切れないうという不都合を生ずる。また、このオーバー・ハング部においては電界集中が生じやすく、保持、信頼性上好ましくない。

この発明は上記実情に鑑みてなされたもので、

与えるため例えば燐の不純物を拡散する。次に、第 4 図(b)に示すように耐酸化材料例えば  $\text{Si}_3\text{N}_4$  膜 15 を形成し、写真食刻工程によりこの  $\text{Si}_3\text{N}_4$  膜 15 を加工する。上記耐酸化材料はポリシリコン酸化膜と  $\text{Si}_3\text{N}_4$  膜とからなる積層材料でもよい。次に、 $\text{Si}_3\text{N}_4$  膜 15 をマスクにして第 1 のポリシリコン膜 14 を酸化し、ポリシリコン酸化膜 16 を形成する。次に、第 4 図(c)に示すようにホットリン酸あるいはプラズマエッチングを用いて  $\text{Si}_3\text{N}_4$  膜 15 を除去し、さらに酸化を行い第 1 のポリシリコン膜 14 を酸化膜 17 で覆う。そして、この酸化膜 17 及びポリシリコン酸化膜 16 上に第 2 のポリシリコン膜 18 を気相成長法により形成させる。しかる後、写真食刻工程により第 1 のポリシリコン膜 14 及び第 2 のポリシリコン膜 18 を同一のマスクで加工し、フローティングゲートとコントロールゲートを形成する。さらに、ソース、ドレイン形成等、素子形成に必要な処理を行って最終的な構造を得る。

その目的は、従来と同等あるいはそれ以上の特性を保ちながら信頼性の向上を図り得る 2 層ポリシリコン構造の半導体装置の製造方法を提供することにある。

以下、図面を参照してこの発明の一実施例を不揮発性メモリ(EPRM)に適用した場合について説明する。すなわち、この発明は、2 層ポリシリコン構造の EPRM セルの互いに隣接するフローティングゲート間の分離絶縁を、従来はエッチングによって行っていたものを選択酸化を用いて行うことにより、前記の欠点を除去しようとするものである。

以下、第 4 図(a)~(c)を参照してその製造方法について説明する。まず、第 4 図(a)に示すように例えば N 型の半導体基板 11 上に選択酸化法によりフィールド酸化膜 12 を形成する。さらにゲート酸化膜 13 を形成し、しかる後フィールド酸化膜 12 及びゲート酸化膜 13 上に第 1 のポリシリコン膜 14 を気相成長させる。そして、この第 1 のポリシリコン膜 14 に導電性を

このようにして得られたメモリセルの構造では、第 4 図(c)からも明らかなように互いに隣接したフローティングゲートをポリシリコン酸化膜 16 が分離絶縁しているため、コントロールゲートのオーバー・ハングが形成されない。このため、従来のような第 2 のポリシリコンを完全にエッチングし切れないうという不都合は生ずることがない。また、オーバー・ハングに起因して生じる電界集中も起きず、保持、信頼性の向上が期待できる。さらに、第 2 のポリシリコン膜 18 が平滑化されるため、リアクティブ・イオン・エッチングのような異方性エッチングをコントロールゲート及びフローティングゲートの加工に用いることができる。

尚、上記実施例は不揮発性メモリについて説明したが、これに限定するものではなく、例えばダイナミック RAM(Random Access Memory)などの 2 層ポリシリコン構造の半導体装置全般に広く応用できる。

以上のようにこの発明によれば、従来と同等

あるいはそれ以上の特性を保ちながら、信頼性の向上を図り得る2層ポリシリコン構造の半導体装置の製造方法を提供できる。

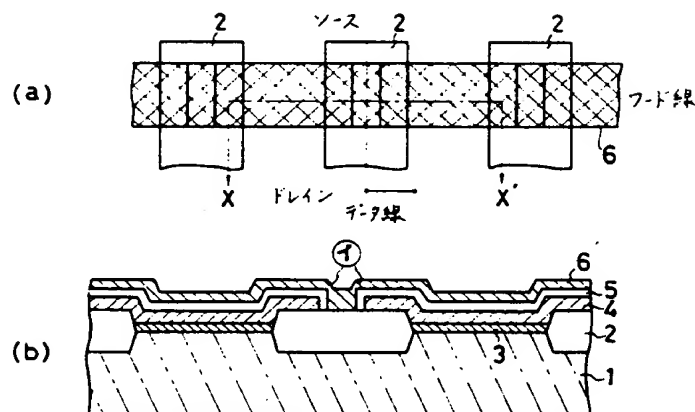
#### 4. 図面の簡単な説明

第1図(a)(b)は従来の不揮発性メモリセルの素子構造を示すもので、(a)は平面図、(b)はX-X'矢視断面図、第2図(a)(b)は上記構造の製造工程図、第3図(a)(b)は上記工程のエッチング状態を説明するための図、第4図(a)~(c)はこの発明の一実施例に係る不揮発性メモリセルの製造工程を示す断面図である。

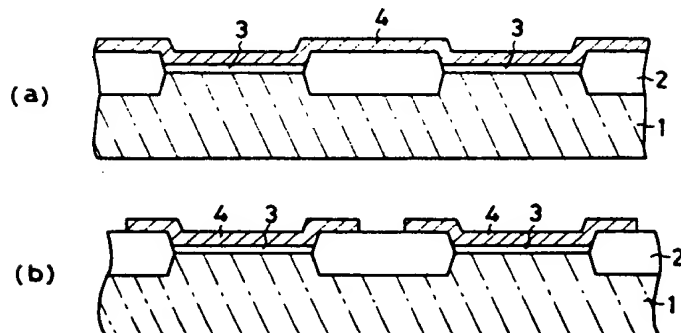
1 1 … 半導体基板、1 2 … フィールド酸化膜、1 3 … ゲート酸化膜、1 4 … 第1のポリシリコン膜、1 5 …  $\text{Si}_3\text{N}_4$  膜、1 6 … ポリシリコン酸化膜、1 7 … 酸化膜、1 8 … 第2のポリシリコン膜。

出願人代理人 弁理士 鈴 江 武 彦

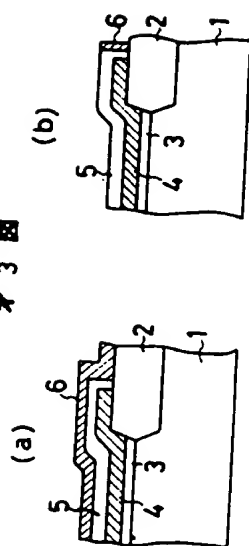
第 1 図



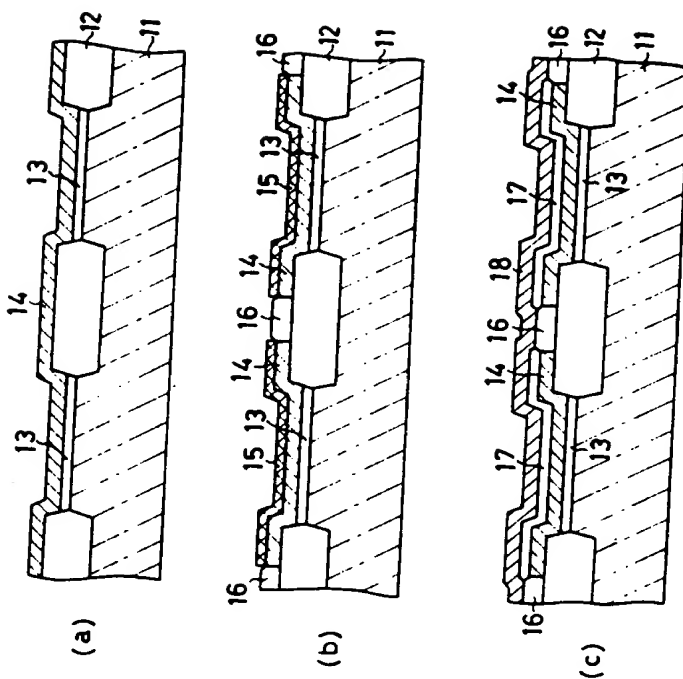
第 2 図



★ 3 圖



★ 4 圖



157 (624) 252-1100  
 100X 5480  
 GREENBLATT, NY.  
 3  
 1